



(12) 发明专利申请

(10) 申请公布号 CN 103941105 A

(43) 申请公布日 2014. 07. 23

(21) 申请号 201310018025. X

(22) 申请日 2013. 01. 17

(71) 申请人 德律科技股份有限公司

地址 中国台湾台北市士林区德行西路 45 号
7 楼

(72) 发明人 沈游城 许益豪

(74) 专利代理机构 北京中誉威圣知识产权代理有限公司 11279

代理人 董云海 彭晓玲

(51) Int. Cl.

G01R 29/02 (2006. 01)

G01R 25/00 (2006. 01)

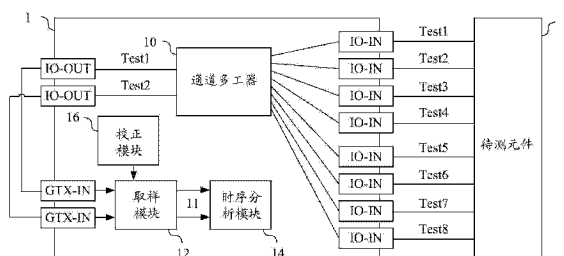
权利要求书2页 说明书5页 附图4页

(54) 发明名称

时序分析装置及时序分析方法

(57) 摘要

一种时序分析装置及时序分析方法,所述时序分析装置,应用于可编程序逻辑阵列系统中,包含:复数个第一及第二基本输入输出端、通道多工器、复数个高速输入输出端、取样模块及时序分析模块。第一基本输入输出端自待测元件接收复数个待测信号。通道多工器自第一基本输入输出端接收待测信号,以选择待测信号中的至少一组输出至第二基本输入输出端。高速输入输出端具有较第一及第二基本输入输出端高的逻辑电平解析速度。取样模块通过高速输入输出端接收自第二基本输入输出端输出的该组待测信号进行取样,以产生取样结果。时序分析模块根据取样结果进行时序分析及量测。



1. 一种时序分析装置,应用于可编程序逻辑阵列系统中,包含:
复数个第一基本输入输出(I/O)端,用以自待测元件接收复数个待测信号;
复数个第二基本输入输出端;
通道多工器,用以自这些第一基本输入输出端接收这些待测信号,以选择这些待测信号中至少一组输出至这些第二基本输入输出端;
复数个高速输入输出端,具有较这些第一及第二基本输入输出端高的逻辑电平解析速度,用以连接这些第二基本输入输出端;
取样模块,用以通过这些高速输入输出端接收自这些第二基本输入输出端输出的该组待测信号进行取样,以产生取样结果;以及
时序分析模块,用以根据该取样结果进行时序分析及量测。
2. 如权利要求1所述的时序分析装置,其中这些第一及第二基本输入输出端的逻辑电平解析速度至多为200兆赫。
3. 如权利要求1所述的时序分析装置,其中这些高速输入输出端的逻辑电平解析速度至少为1吉赫。
4. 如权利要求1所述的时序分析装置,其中还包含一校正模块,用以储存时序校正表,该时序分析模块根据该时序校正表对这些待测信号的该取样结果进行时序校正后进行该时序分析及量测。
5. 如权利要求4所述的时序分析装置,其中该时序校正表记录任意两个所述第一基本输入输出端与该通道多工器间以及任意两个所述第二基本输入输出端与该通道多工器间的路径延迟差距。
6. 如权利要求1所述的时序分析装置,其中还包含:
复数个第一时序校正模块,分别连接于这些第一基本输入输出端其中之一以及该通道多工器间;以及
复数个第二时序校正模块,分别连接于这些第二基本输入输出端其中之一以及该通道多工器间,其中这些第一时序校正模块以及这些第二时序校正模块根据时序校正资讯对这些待测信号进行时序校正。
7. 如权利要求6所述的时序分析装置,其中该时序校正资讯为任意两个所述第一基本输入输出端与该通道多工器间以及任意两个所述第二基本输入输出端与该通道多工器间的路径延迟差距。
8. 如权利要求6所述的时序分析装置,其中这些第一时序校正模块及这些第二时序校正模块分别为延迟单元。
9. 如权利要求1所述的时序分析装置,其中该取样模块为高速序列转低速平行取样模块。
10. 一种时序分析方法,应用于可编程序逻辑阵列系统的时序分析装置中,该时序分析方法包含:
由复数个第一基本输入输出端自待测元件接收复数个待测信号;
由通道多工器自这些第一基本输入输出端接收这些待测信号,以选择这些待测信号中的至少一组输出至复数个第二基本输入输出端;
通过复数个高速输入输出端接收自这些第二基本输入输出端输出的该组待测信号进

行取样,以产生取样结果,其中这些高速输入输出端具有较这些第一及第二基本输入输出端高的逻辑电平解析速度;以及

根据该取样结果进行时序分析及量测。

11. 如权利要求 10 所述的时序分析方法,其中还包含根据时序校正表对这些待测信号的该取样结果进行的时序校正后进行该时序分析及量测。

12. 如权利要求 11 所述的时序分析方法,其中该时序校正表记录任意两个所述第一基本输入输出端与该通道多工器间以及任意两个所述第二基本输入输出端与该通道多工器间的路径延迟差距。

13. 如权利要求 10 所述的时序分析方法,其中还包含使分别连接于这些第一基本输入输出端其中之一以及该通道多工器间的复数个第一时序校正模块,以及分别连接于这些第二基本输入输出端其中之一以及该通道多工器间的复数个第二时序校正模块根据时序校正资讯对这些待测信号进行时序校正。

14. 如权利要求 13 所述的时序分析方法,其中该时序校正资讯为任意两个所述第一基本输入输出端与该通道多工器间以及任意两个所述第二基本输入输出端与该通道多工器间的路径延迟差距。

时序分析装置及时序分析方法

技术领域

[0001] 本发明是有关于一种时序分析技术,且特别是有关于一种时序分析装置及时序分析方法。

背景技术

[0002] 在自动测试设备(automatic test equipment ;ATE)的系统中,时序的量测为相当重要的一环。例如待测物的信号的波宽、波形上升及下降时间、相位偏差与频率,都是常见的量测目标。量测信号的时序资讯,将可对未正确输出的信号进行调校,以使待测物的功能不致因信号时序的错误而受到影响。

[0003] 然而,以往的技术,往往使用一长串串联的延迟元件将待测的信号进行延迟,并依据延迟的结果来进行量测。在使用如可程序逻辑阵列的系统实现量测时,常常由于大量延迟元件造成绕线面积过大,在将量测结果送至分析模块时,不但单一通道中各延迟元件至分析模块的距离不同造成误差,不同通道间的绕线方式不同也会有所影响,大幅降低量测的精确度。

[0004] 于部分现有的技术,则是采用可程序逻辑阵列的高速 I/O 介面取样,虽能达到良好的量测结果,但是取样通道数量有所限制。对于普遍的自动测试设备系统来说,大量的信号量测输入通道数是必须的。

[0005] 因此,如何设计一个新的时序分析装置及时序分析方法,以避免上述的误差,提升量测的精确度,乃为业界亟待解决的问题。

发明内容

[0006] 因此,本发明的一态样是在提供一种时序分析装置,应用于可程序逻辑阵列(programmable logic array)系统中,包含:复数个第一基本输入输出(I/O)端、复数个第二基本输入输出端、通道多工器、复数个高速输入输出端、取样模块以及时序分析模块。第一基本输入输出端用以自待测元件接收复数个待测信号。通道多工器用以自第一基本输入输出端接收待测信号,以选择待测信号中的至少一组输出至第二基本输入输出端。高速输入输出端具有较第一及第二基本输入输出端高的逻辑电平解析速度,用以连接第二基本输入输出端。取样模块用以通过高速输入输出端接收自第二基本输入输出端输出的该组待测信号进行取样,以产生取样结果。时序分析模块用以根据取样结果进行时序分析及量测。

[0007] 依据本发明一实施例,其中第一及第二基本输入输出端的逻辑电平解析速度至多为 200 兆赫(MHz)。

[0008] 依据本发明另一实施例,其中高速输入输出端的逻辑电平解析速度至少为 1 吉赫(GHz)。

[0009] 依据本发明又一实施例,时序分析装置更包含校正模块,用以储存时序校正表,时序分析模块根据时序校正表对待测信号的取样结果进行时序校正后进行时序分析及量测。其中时序校正表记录任意两个第一基本输入输出端与通道多工器间以及任意两个第二基

本输入输出端与通道多工器间的路径延迟差距。

[0010] 依据本发明再一实施例,时序分析装置更包含:复数个第一时序校正模块以及复数个第二时序校正模块。第一时序校正模块分别连接于第一基本输入输出端其中之一以及通道多工器间。第二时序校正模块分别连接于第二基本输入输出端其中之一以及通道多工器间,其中第一时序校正模块以及第二时序校正模块根据时序校正资讯对待测信号进行时序校正。其中时序校正资讯为任意两个第一基本输入输出端与通道多工器间以及任意两个第二基本输入输出端与通道多工器间的路径延迟差距。第一时序校正模块及第二时序校正模块分别为延迟单元。

[0011] 依据本发明更具有的一实施例,其中取样模块为高速序列转低速平行取样模块。

[0012] 本发明的另一态样是在提供一种时序分析方法,应用于可编程序逻辑阵列系统的时序分析装置中,时序分析方法包含:由复数个第一基本输入输出端自待测元件接收复数个待测信号;由通道多工器自第一基本输入输出端接收待测信号,以选择待测信号中的至少一组输出至复数个第二基本输入输出端;通过复数个高速输入输出端接收自第二基本输入输出端输出的该组待测信号进行取样,以产生取样结果,其中高速输入输出端具有较第一及第二基本输入输出端高的逻辑电平解析速度;以及根据取样结果进行时序分析及量测。

[0013] 依据本发明一实施例,时序分析方法更包含根据时序校正表对待测信号的取样结果进行时序校正后进行时序分析及量测。时序校正表记录任意两个第一基本输入输出端与通道多工器间以及任意两个第二基本输入输出端与通道多工器间的路径延迟差距。

[0014] 依据本发明另一实施例,时序分析方法更包含使分别连接于第一基本输入输出端其中之一以及通道多工器间的复数个第一时序校正模块,以及分别连接于第二基本输入输出端其中之一以及通道多工器间的复数个第二时序校正模块根据时序校正资讯对待测信号进行时序校正。其中时序校正资讯为任意两个第一基本输入输出端与通道多工器间以及任意两个第二基本输入输出端与通道多工器间的路径延迟差距。

[0015] 应用本发明的优点是在于借由时序分析装置的设计,在仅具有有限的高速输入输出端口的可编程序逻辑阵列系统中,实现多通道的信号分析与量测,并可获得高精确度的量测结果,而轻易地达到上述的目的。

附图说明

[0016] 为了让本发明的上述和其他目的、特征、优点与实施例能更明显易懂,附图说明如下:

[0017] 图 1 为本发明一实施例中,一种时序分析装置的方块图;

[0018] 图 2 为本发明一实施例中,待测信号的波型图;

[0019] 图 3 为本发明另一实施例中,待测信号及相关量测信号的波型图;

[0020] 图 4 为本发明另一实施例中,时序分析装置的方块图;

[0021] 图 5 为本发明一实施例中,一种时序分析方法的流程图。

具体实施方式

[0022] 请参照图 1。图 1 为本发明一实施例中,一种时序分析装置 1 的方块图。时序分析

装置 1 可应用于可编程逻辑阵列(programmable logic array)系统中,并包含:复数个第一基本输入输出端 IO-IN、复数个第二基本输入输出端 IO-OUT、通道多工器 10、复数个高速输入输出端 GTX-IN、取样模块 12 以及时序分析模块 14。

[0023] 第一基本输入输出端 IO-IN 与第二基本输入输出端 IO-OUT 于本实施例中,均可可为可编程逻辑阵列中的基本输入输出端口,具有至多为 200 兆赫(MHz)的逻辑电平解析速度。于本实施例中,第一基本输入输出端 IO-IN 实际上做为输入端,自待测元件 2 接收复数个待测信号 Test1、Test2、...、Test8。需注意的是,于图 1 中所绘示的第一基本输入输出端 IO-IN 的数目为八个,然而于其他实施例中,时序分析装置 1 所包含的第一基本输入输出端 IO-IN 数目并不为本实施例的数目所限。

[0024] 通道多工器 10 用以自第一基本输入输出端 IO-IN 接收待测信号 Test1、Test2、...、Test8,并选择这些待测信号中的至少一组输出至第二基本输入输出端 IO-OUT。于本实施例中,第二基本输入输出端 IO-OUT 实际上做为输出端,以自通道多工器 10 输出一组待测信号 Test1 及 Test2。需注意的是,于第 1 图中所绘示的第二基本输入输出端 IO-OUT 的数目为两个,然而于其他实施例中,时序分析装置 1 所包含的第二基本输入输出端 IO-OUT 数目并不为本实施例的数目所限。

[0025] 高速输入输出端 GTX-IN 具有较第一及第二基本输入输出端 IO-IN、IO-OUT 高的逻辑电平解析速度。于一实施例中,高速输入输出端 GTX-IN 至少具有第一及第二基本输入输出端 IO-IN、IO-OUT 五倍以上的逻辑电平解析速度。高速输入输出端 GTX-IN 可为例如但不限于符合高速外设部件互连(peripheral component interconnect express ;PCI-E)总线或是通用串行总线(universal serial bus ;USB) 3.0 规格的输入输出端口,可达到至少 1 吉赫(GHz)的逻辑电平解析速度。高速输入输出端 GTX-IN 连接于第二基本输入输出端 IO-OUT。

[0026] 取样模块 12 通过高速输入输出端 GTX-IN 接收自第二基本输入输出端 IO-OUT 输出的该组待测信号 Test1 及 Test2 进行取样,以产生取样结果 11。于一实施例中,取样模块 12 为高速序列转低速平行取样模块。其等效取样率将不会改变,且低速的平行埠将有利于后续数位化时间量测的处理。举例来说,如果待测信号 Test1 可达到 10GHz,则取样模块 12 可为一个 10GHz 降频 100 倍至 100MHz 的缩小取样模块,并将原本为 1 比特序列式的信号转换为 100 比特平行式的信号输出。

[0027] 由于通过高速输入输出端 GTX-IN 进行待测信号 Test1 及 Test2 的取样,因此其取样结果 11 的精确度将较通过一般基本输入输出端的取样为高。时序分析模块 14 将可根据取样结果 11,进行时序分析及量测。

[0028] 请参照图 2。图 2 为本发明一实施例中,待测信号的波型图。举例来说,如取样结果 11 为如图 2 所示,于开始量测至终止量测的 20 纳秒(ns ;nanoseconds)中,产生 100 个取样值,其中有 49 个为 1,则可以得知此波型的波宽的量测值为 $49 \times (20n/100) = 49 \times 0.2n$ 。

[0029] 因此,借由设定开始及终止量测的时间间隔,以及在此时间间隔的取样值,时序分析模块 14 可进行精确的时序量测及分析。

[0030] 请参照图 3。图 3 为本发明另一实施例中,待测信号及相关量测信号的波型图。于本实施例中,如欲量测待测信号 A 的上升时间(rise time),则可借由将同一待测信号传送至两个通道后,分别输入两个比较器(未绘示)进行比较。其中一个比较器的参考电压可设

为此待测信号最大电压值的 90%，而另一个比较器的参考电压则可设为此待测信号最大电压值的 10%。举例来说，如待测信号最大电压值为 5 伏特，则其中一个比较器的参考电压可设为 4.5 伏特，另一个比较器的参考电压则可设为 0.5 伏特。经过比较后，比较器将产生如图 3 所示的比较信号 B 及 C。接着，借由类似图 2 中计数的方式，计数比较信号 B 及 C 中的 0 或 1，时序分析模块 14 将可计算两个比较信号 B 及 C 间的差距，对待测信号的上升时间进行测量与分析。

[0031] 以上仅以波宽与波型上升时间为例进行说明。于其他不同实施例，时序分析模块 14 可进行其他例如，但不限于波型下降时间(fall time)、频率及相位偏差(skew)等的量测与分析。

[0032] 请再参考图 1。在该组待测信号 Test1 及 Test2 测量完毕后，通道多工器 10 可再选择其他组待测信号，例如 Test3 及 Test4 进行量测及分析。因此，本实施例中的通道多工器 10 将可在高速输入输出端 GTX-IN 的数目受限的情形下，动态地选择不同的通道中的待测信号，以轮流进行量测。

[0033] 需注意的是，于其他实施例中，时序分析装置 1 的高速输入输出端 GTX-IN 的数目可依实际状况进行调整。举例来说，如高速输入输出端 GTX-IN 的数目为八个，则可连接至八个对应的第二基本输入输出端 IO-OUT 所输出的待测信号，以使时序分析模块 14 在经过取样模块 12 的取样后，同时进行更多待测信号的量测及分析。

[0034] 现有技术中以数级延迟元件串接进行量测方式时，绕线面积与长度将对精确度造成影响。并且，在实现多个通道时，现有技术将因为绕线问题而难以在各通道间达成相同的信号传输长度。这些效应将在量测结果造成差分非线性与积分非线性的误差。借由本发明的时序分析装置，可避免为实现大数量的延迟元件所必需的繁杂绕线。并且，通常具有 5GHz 至 28GHz 的逻辑电平解析速度的高速输入输出端，可以使量测结果达到 200 皮秒(ps；picoseconds)至 35 皮秒的精确度。再者，由于可编程序逻辑阵列系统中，高速输入输出端 GTX-IN 的数目往往受限，借由通道多工器的设置，将可动态地选择不同的通道中的待测信号，实现多通道的信号量测。

[0035] 然而，各个第一基本输入输出端 IO-IN 与通道多工器 10 间的信号路径距离，可能因为绕线长度、接脚板的路径长度等因素而不尽相同。并且，通道多工器 10 与各第二基本输入输出端 IO-OUT 间的信号路径距离亦不尽相同。因此，在进行如前述图 3 中，利用两个通道的信号量测时，将由于两者间的路径延迟差距，产生不匹配的状况而造成误差。

[0036] 因此，于本实施例中，时序分析装置 1 可更包含校正模块 16。于本实施例中，校正模块 16 储存时序校正表(未绘示)。在实际进行量测前，时序分析装置 1 可借由在任意两个第一基本输入输出端 IO-IN 至通道多工器 10 间，以及通道多工器 10 与任意两个第二基本输入输出端 IO-OUT 间的通道传送相同的待测信号，以得知二个通道间在取样模块 12 取样后的差异，并记录于时序校正表中。

[0037] 在记录完所有通道间的时序误差后，时序分析装置 1 即可在实际量测时，将取样模块 12 的取样结果进行时序的校正。举例来说，如在校正过程中发现两个通道间传送同样由低态转高态的信号时，第二个通道的转态时间较第一个通道晚了 0.3ns，则在实际量测时，时序分析装置 1 将可依照时序校正表把第一个通道的取样结果延迟 0.3ns，以补偿通道间的不匹配。

[0038] 请参照图 4。图 4 为本发明另一实施例中,时序分析装置 4 的方块图。时序分析装置 4 与图 1 中绘示的时序分析装置 1 大同小异,因此对于相同的元件不再赘述。于本实施例中,时序分析装置 4 包含复数个第一时序校正模块 De-skew1 以及复数个第二时序校正模块 De-skew2。

[0039] 第一时序校正模块 De-skew1 分别连接于第一基本输入输出端 IO-IN 其中之一以及通道多工器 10 间。第二时序校正模块 De-skew2 分别连接于第二基本输入输出端 IO-OUT 其中之一以及通道多工器 10 间。于本实施例中,第一时序校正模块 De-skew1 及第二时序校正模块 De-skew2 分别为一个延迟元件。

[0040] 类似地,时序分析装置 1 可借由在任意两个第一基本输入输出端 IO-IN 至通道多工器 10 间,以及通道多工器 10 与任意两个第二基本输入输出端 IO-OUT 间的通道传送相同的待测信号,以得知时序校正资讯,意即任意两个通道间在取样模块 12 取样后的差异。在得知所有通道间的时序误差后,时序分析装置 1 可借由程式化第一时序校正模块 De-skew1 及第二时序校正模块 De-skew2,以将所有通道的时序误差进行补偿,以使所有的通道都具有相同的信号传输时间。

[0041] 举例来说,如在校正过程中发现两个通道间传送同样由低态转高态的信号时,第二个通道的转态时间较第一个通道晚了 0.3ns,则借由微调第一时序校正模块 De-skew1 及/或第二时序校正模块 De-skew2,将第一个通道的信号延迟,则可以使两个通道间的取样结果的时序相同。因此,借由此方式,时序分析装置 1 可以不需要再经过对取样结果的校正,而直接对取样结果进行量测与分析。

[0042] 因此,借由本发明的时序分析装置 1 的设计,在仅具有有限的高速输入输出端口的可编程序逻辑阵列系统中,实现多通道的信号分析与量测。并且,借由信号于通道间的校正机制,取样结果将可为精确,而使量测结果的精确度进一步提升。

[0043] 请参照图 5。图 5 为本发明一实施例中,一种时序分析方法 500 的流程图。时序分析方法 500 可应用于如图 1 所示的时序分析装置中。时序分析方法 500 包含下列步骤(应了解到,在本实施方式中所提及的步骤,除特别叙明其顺序者外,均可依实际需要调整其前后顺序,甚至可同时或部分同时执行)。

[0044] 于步骤 501,由第一基本输入输出端 IO-IN 自待测元件 2 接收复数个待测信号。

[0045] 于步骤 502,由通道多工器 10 自第一基本输入输出端 IO-IN 接收待测信号,以选择待测信号中的至少一组输出至复数个第二基本输入输出端 IO-OUT。

[0046] 于步骤 503,通过复数个高速输入输出端 GTX-IN 接收自第二基本输入输出端 IO-OUT 输出的该组待测信号进行取样,以产生取样结果,其中高速输入输出端具有较第一及第二基本输入输出端高的逻辑电平解析速度。

[0047] 于步骤 504,根据取样结果进行时序分析及量测。

[0048] 虽然本发明已以实施方式揭露如上,然其并非用以限定本发明,任何本领域技术人员,在不脱离本发明的精神和范围内,当可作各种的更动与润饰,因此本发明的保护范围当以本发明的权利要求的保护范围为准。

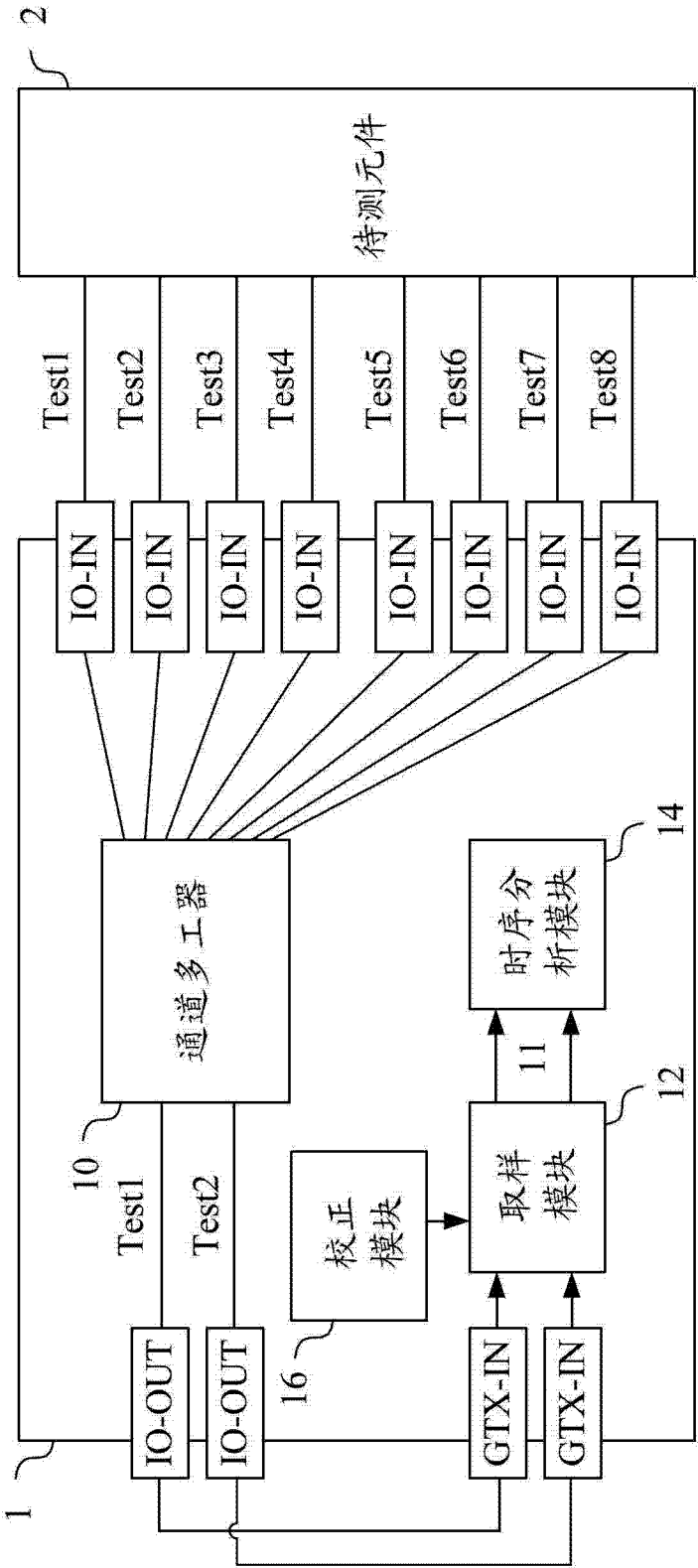


图 1

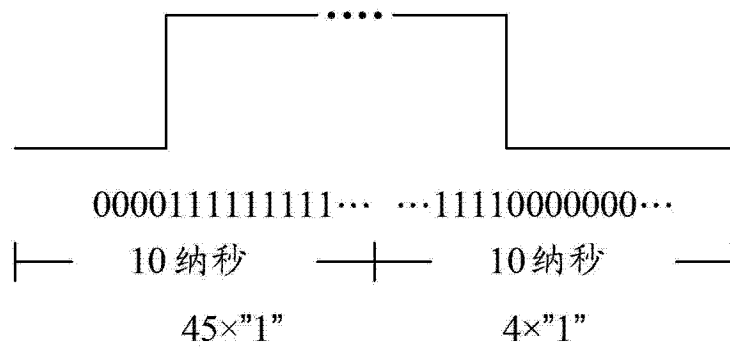


图 2

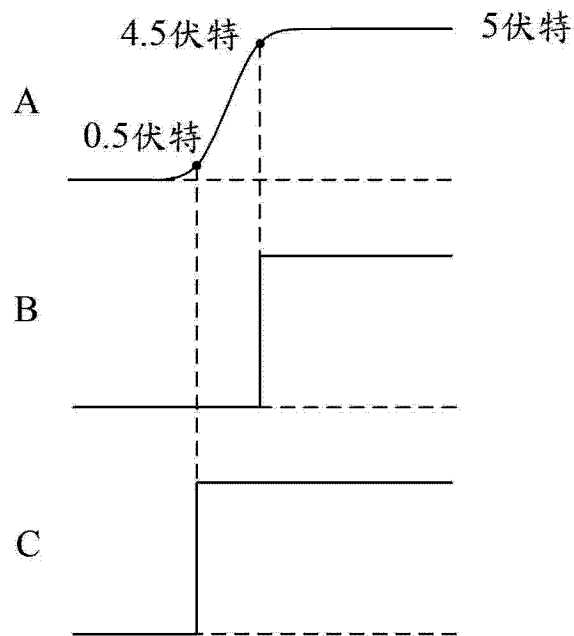


图 3

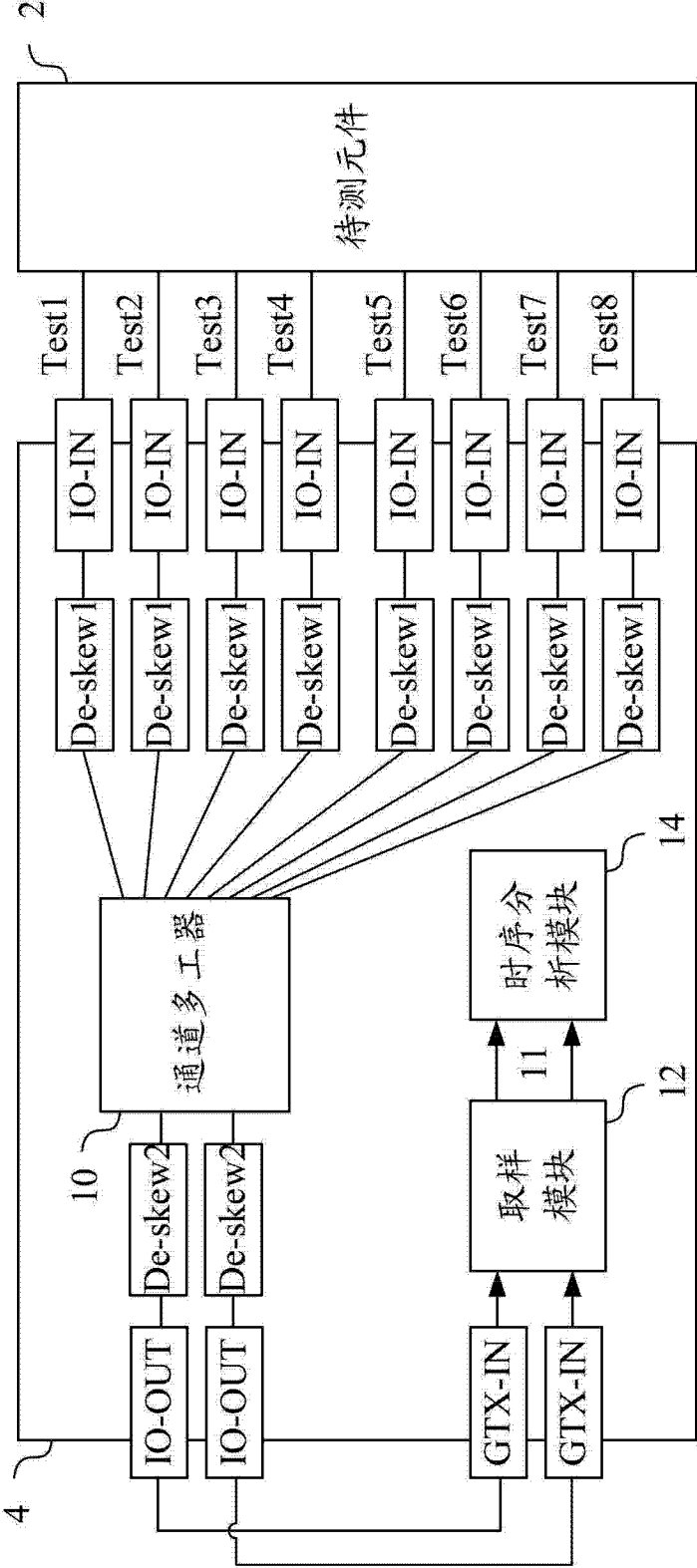


图 4

500

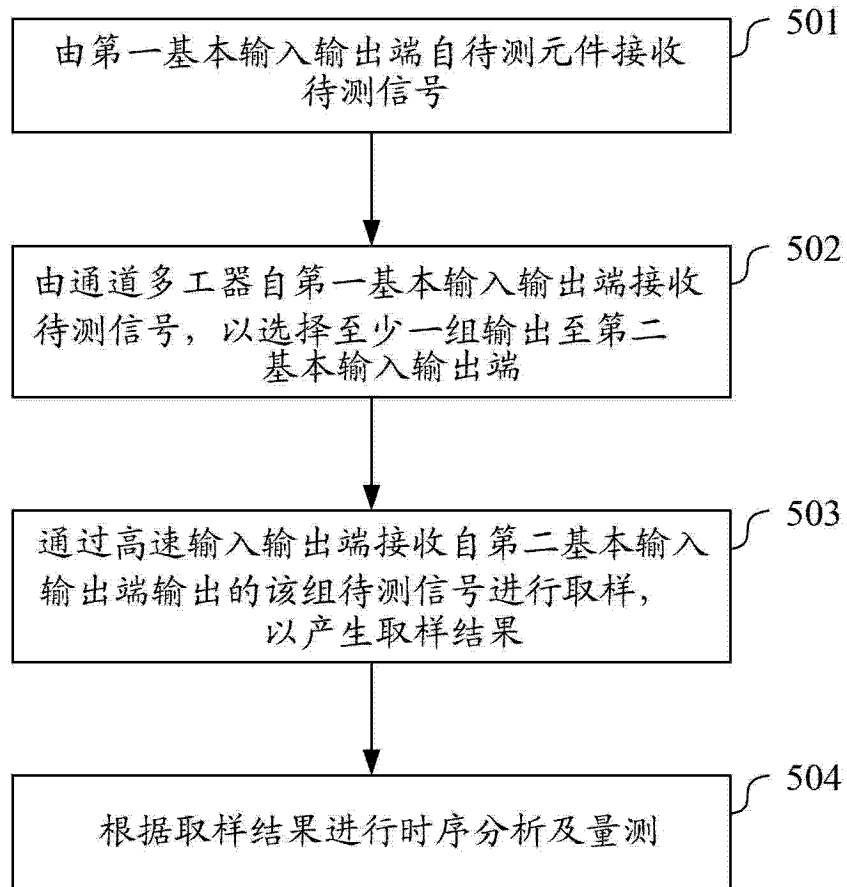


图 5